

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-077346

(43)Date of publication of application : 23.03.2001

(51)Int.Cl.

H01L 29/06
G03F 7/40
H01L 29/66
H01L 29/786

(21)Application number : 11-252894

(71)Applicant : SHARP CORP

(22)Date of filing : 07.09.1999

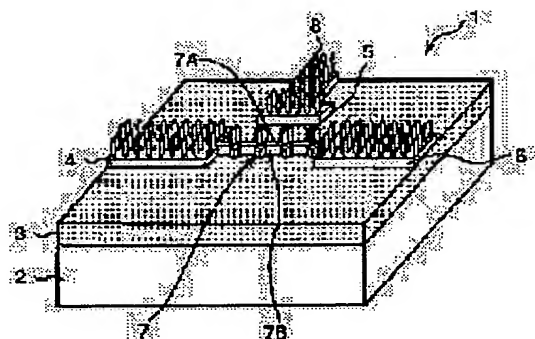
(72)Inventor : ONO KIMITAKA
INOUE ATSUHISA
FUJIOKA KAZUSHI

(54) SINGLE ELECTRON TRANSISTOR AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a single electron transistor which is capable of operating at a room temperature and kept uniform in characteristics and the manufacturing method of the same.

SOLUTION: An oxide layer is formed on the surface of an SOI substrate through such a method where the surface of the SOI substrate is scanned applying a voltage between the probe of a scanning probe microscope and a specimen in an atmosphere of relative humidity 20% or below. Taking advantage of the fact that the surface of the oxide layer is different from that of an unscanned region in properties, the substrate is immerred into a solution which contains organic molecules, by which an organic monomolecular layer 8 is selectively formed on the unscanned region. Thereafter, a selective etching treatment is performed on the surface of the SOI substrate using the organic monomolecular layer 8 as a resist, by which a source electrode 4, a gate electrode 5, a drain electrode 6, and aligned silicon islands 7A of nanometer size are formed at the same time.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-77346

(P2001-77346A)

(43) 公開日 平成13年3月23日 (2001. 3. 23)

(51) Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 L 29/06		H 0 1 L 29/06	2 H 0 9 6
G 0 3 F 7/40	5 2 1	G 0 3 F 7/40	5 2 1 5 F 1 1 0
H 0 1 L 29/66		H 0 1 L 29/66	
29/786		29/78	6 2 2

審査請求 未請求 請求項の数9 O L (全 10 頁)

(21) 出願番号 特願平11-252894

(22) 出願日 平成11年9月7日 (1999. 9. 7)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 大野 公隆

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 井上 敦央

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100062144

弁理士 青山 葆 (外1名)

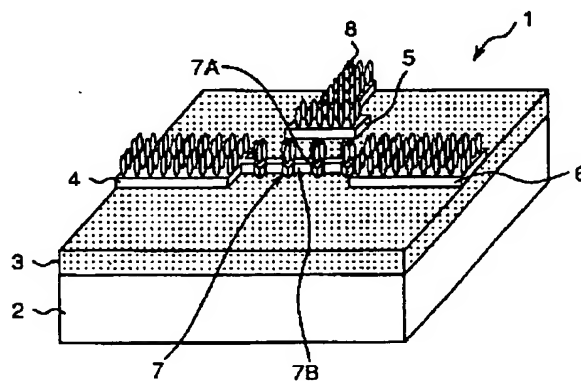
最終頁に続く

(54) 【発明の名称】 単電子トランジスタおよびその製造方法

(57) 【要約】

【課題】 室温で動作可能でかつ特性ばらつきの小さい単電子トランジスタおよびその製造方法を提供する。

【解決手段】 S O I 基板の表面を相対湿度20%以下の雰囲気中で走査型プローブ顕微鏡探針と試料間に電圧を印加した状態で走査することにより表面の酸化層を形成させる。そして、その酸化層11表面の性質が未走査領域10に比して異なることを利用して、有機分子を含む溶液中に浸漬し、選択的に未走査領域10上に有機単分子層8を形成する。その後、上記有機単分子層8をレジストとして選択エッチング処理を施すことによって、酸化シリコン層3上にソース電極4、ゲート電極5、ドレイン電極6および整列したナノメートルサイズのシリコン島7Aを同時に形成する。



【特許請求の範囲】

【請求項 1】 ソース電極とドレイン電極とを結ぶ線上に所定の間隔をあけて整列するように上記ソース電極と上記ドレイン電極との間に形成され、クーロンブロックを発現可能な複数の半導体の島を有することを特徴とする単電子トランジスタ。

【請求項 2】 請求項 1 に記載の単電子トランジスタにおいて、

上記ソース電極、ドレイン電極および上記半導体の島の夫々の表面を被覆する有機単分子層を有することを特徴とする単電子トランジスタ。

【請求項 3】 請求項 1 または 2 に記載の単電子トランジスタにおいて、

上記ソース電極と上記半導体の島との間、上記ドレイン電極と上記半導体の島との間、および、隣接する上記半導体の島の間を分離する下地絶縁層を有することを特徴とする単電子トランジスタ。

【請求項 4】 請求項 1 または 2 に記載の単電子トランジスタにおいて、

上記ソース電極近傍の上記半導体の島と上記ソース電極とを接続し、上記ドレイン電極近傍の上記半導体の島と上記ドレイン電極とを接続し、隣接する上記半導体の島同士を接続する半導体狭窄層を有し、

上記半導体狭窄層の幅が上記半導体の島の大きさよりも小さいことを特徴とする単電子トランジスタ。

【請求項 5】 請求項 1 または 2 に記載の単電子トランジスタにおいて、

上記ソース電極と上記半導体の島との間、上記ドレイン電極と上記半導体の島との間、および、隣接する上記半導体の島の間を分離する酸化層を有することを特徴とする単電子トランジスタ。

【請求項 6】 請求項 1 乃至 5 のいずれか 1 つに記載の単電子トランジスタにおいて、

上記半導体の島は、直径 1 ～ 30 nm の円形の島の静電容量に相当する静電容量を有する大きさであることを特徴とする単電子トランジスタ。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 つの単電子トランジスタを製造する単電子トランジスタの製造方法であって、

相対湿度 20% 以下の雰囲気中で、かつ、表面に半導体層が形成された基板と微小プローブとの間に所定電圧を印加した状態で、上記微小プローブにより上記半導体層表面の所定のパターンの領域を走査して、ソース電極、ドレイン電極およびチャンネル領域となるべき領域以外の上記半導体層表面の領域を酸化する工程と、

上記半導体表面が酸化された上記基板を有機分子を含む溶液中に浸漬することにより、上記ソース電極、ドレイン電極およびチャンネル領域となるべき上記半導体層表面の未走査領域に選択的に上記有機分子を吸着させる工程とを有することを特徴とする単電子トランジスタの製造

方法。

【請求項 8】 請求項 7 に記載の単電子トランジスタの製造方法において、

上記半導体層表面の未走査領域に選択的に上記有機分子を吸着させる工程の後、上記有機分子の吸着領域以外の上記半導体層の領域を化学エッチングにより除去する工程を有することを特徴とする単電子トランジスタの製造方法。

【請求項 9】 請求項 5 の単電子トランジスタを製造する単電子トランジスタの製造方法であって、

相対湿度 20% 以下の雰囲気中で、かつ、表面に半導体層が形成された基板と微小プローブとの間に所定電圧を印加した状態で、上記微小プローブにより上記半導体層表面の所定のパターンの領域を走査して、ソース電極、ドレイン電極および線状のチャンネル領域となるべき領域以外の上記半導体層表面の領域を酸化する工程と、上記半導体表面が酸化された上記基板を有機分子を含む溶液中に浸漬することにより、上記ソース電極、ドレイン電極および線状のチャンネル領域となるべき上記半導体層表面の未走査領域に選択的に上記有機分子を吸着させる工程と、

上記半導体層表面の未走査領域に選択的に上記有機分子を吸着させた後、上記有機分子の吸着領域以外の上記半導体層の領域を化学エッチングにより除去する工程と、上記有機分子の吸着領域以外の上記半導体層の領域を化学エッチングにより除去する工程の後、上記基板と上記微小プローブとの間に定電圧を印加した状態で、上記線状のチャンネル領域を上記微小プローブにより走査して、上記線状のチャンネル領域の 3 以上の部分を所定の間隔をあけて酸化する工程とを有することを特徴とする単電子トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、単電子トンネル現象を利用した単電子トランジスタおよびその製造方法に関する。

【0002】

【従来の技術】 21 世紀はいつでもどこでも好みの情報を世界規模で交換できるモバイル機器が期待され、これに搭載されるエレクトロニクス技術は高機能で高速かつ記憶容量が大容量であることは勿論、その一方でモバイル機器は電源や重量に関する問題から開放されなければならない。その鍵となる ULSI 技術は、主として微細加工技術の進歩により集積度の向上が図られ、同時に動作速度の向上と消費電力、コスト、重量および体積の低減を果たしてきた。しかしながら、集積度が T (テラ) ビット (1 テラ = 10^{12}) 級となると、現在のトランジスタのように、電子数の確率的制御を動作原理とする素子では、この領域に到達することは困難であり、個々の電子を確実に輸送、貯蔵できる新たな原理に基づく素子が望

まれてきている。その有力候補としてクーロンブロッケード効果を利用した単電子トランジスタが考えられている。

【0003】従来、単電子トランジスタとしては、金属系と半導体系の2つに大きく分けられ、金属系の場合は、次の(1)～(4)ものがある。

(1) FultonとDolanによる「2重シャドウ蒸着法により作製した例(Phys. Rev. Lett. 59(1), 1987 p.109)」

(2) Chenらの「高分解電子ビーム露光装置によるチャンネル長25nm、幅約40nmのギャップを作製した例(10 Appl. Phys. Lett. 66(24), 12 June 1995 p.338 3)」

(3) Kleinらによる「ナノメートルサイズのソース電極、ドレイン電極間ギャップ内にコロイド粒子を配置して、MTJ (Multiple Tunnel Junction)を形成した例(10 Appl. Phys. Lett. 68(18), 29 April 1996 p.2574)」

(4) Langheinrichらによる「AuPdのナノワイヤ上のごく近接した2点に不連続部を設けて、トレンチのエッジで自然に破断させることでAuPdの島を形成するステップクラック法を用いて形成した例(20 Jpn. Appl. Phys. 34(Pt1, 12B) 1995 p.6956)」

【0004】一方、半導体系(特にシリコン系)の単電子トランジスタの場合は、次の(5)、(6)のものがある。

(5) Aliらによって提案された「SOI (Semiconductor on Insulator)基板を用いたSi単結晶の島によるクーロンブロッケード素子(10 Appl. Phys. Lett. 64(16), April 1994 p.2119)」

(6) 矢野らによって開発された「多結晶シリコンナノ粒子細線による単一電子メモリ(IEEE TRANSACTIONS ON ELECTRON DEVICES, 41(9)September 1994 p.1628)」

【0005】

【発明が解決しようとする課題】しかしながら、上記(1)～(6)の単電子トランジスタのいずれにおいても、従来のリソグラフィを用いており、

(a) UVリソグラフィ(Ultraviolet Light Lithography)では、紫外線の波長の150nm程度しか分解能が望めない。

(b) FIB(Focused Ion Beam)では、収束させる技術が未熟である。

(c) EBリソグラフィ(Electron Beam Lithography)では、電子線のビーム径自体は1nm程度まで絞ることは可能であるが、用いるレジスト膜厚が1μm程度と厚く、オージェ電子や電子の非弾性散乱等入射電子によって発生する副次的な相互作用の結果、感光領域が広がる。

等の理由から、加工線幅が0.1μm以下にできないために、クーロンブロッケードが発現する温度が低くなり、動作温度が低くなって室温で動作しないという欠点がある。また、たとえ数10nm程度の構造の作製が実現(J. Vac. Sci. Technol. B16(6), Nov/Dec 1998 p.38 50

04)できたとしても、再現性が乏しいという問題がある。

【0006】また、上記(3)の金属コロイド粒子をトンネル接合として利用した単電子トランジスタの場合、粒径の揃ったナノメートルサイズの金属コロイド粒子をトンネル接合に用いるので、室温動作が期待されるが、これらのコロイド粒子がソース電極とドレイン電極との間に無秩序に配置されるので、ソース電極とドレイン電極との間のコロイド島の数およびトンネル障壁の大きさは全くの偶然に頼る他はなく、トランジスタ特性のばらつきが大きくなり、実用的でない。

【0007】さらに、Si多結晶の場合は、室温動作が可能であるが、粒界を介したグレイン間の電子のトンネルリングを利用するため、島の大きさやトンネル障壁の大きさを正確に制御できず、トランジスタ毎の特性がばらつくという問題があり、実用的ではない。

【0008】そこで、この発明の目的は、室温動作が可能な特性ばらつきの小さい単電子トランジスタおよびその製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するため、この発明の単電子トランジスタは、ソース電極とドレイン電極とを結ぶ線上に所定の間隔をあけて整列するように上記ソース電極と上記ドレイン電極との間に形成され、クーロンブロッケードを発現可能な複数の半導体の島を有することを特徴としている。

【0010】上記構成の単電子トランジスタによれば、上記ソース電極とドレイン電極とを結ぶ線上に所定の間隔をあけて整列するように形成された複数の半導体の島を、クーロンブロッケードを発現可能な量子サイズにすることによって、各半導体の島が電子閉じ込め領域となり、ソース電極と半導体の島との間、ドレイン電極と半導体の島との間、および、隣接する半導体の島の間がトンネル障壁となる。上記各半導体の島に1個の電子が夫々蓄積され、クーロンブロッケードが発現すると、ソース電極とドレイン電極との間に電圧が印加されていても、別の電子が入ってくるのを阻止する。そして、上記各半導体の島にゲート電極から電界が印加されて、トンネル抵抗を量子抵抗以下にすると、クーロンブロッケード効果が敗れて、ソース電極とドレイン電極との間に電圧が印加された条件では、ソース電極とドレイン電極との間に各半導体の島を介して電流が流れる。したがって、半導体の島の大きさとトンネル障壁の大きさをナノメートル精度で精密に制御することによって、室温動作が可能な特性ばらつきの小さい単電子トランジスタを実現できる。さらに、半導体の島が1つでなく複数(2つ以上)並べた場合、トランジスタ全体がコンデンサと抵抗が直列に接続された等価回路とみなせるので、素子全体の抵抗はトンネル抵抗が島の数が増える毎に加算され室温動作には不利であるが、逆に素子全体の静電容

量は減少することになる。一方、デバイスを作製する上では、トンネル抵抗を小さくするよりもむしろ島のサイズを小さくする方が技術的に困難であり、ソース電極とドレイン電極の間に島を複数個並べることで、室温でのトランジスタ動作が島の大きさがあまり小さく無くても可能となり、作製プロセス上有利である。

【0011】また、一実施形態の単電子トランジスタは、上記ソース電極、ドレイン電極および上記半導体の島の夫々の表面を被覆する有機単分子層を有することを特徴とする。

【0012】上記実施形態の単電子トランジスタによれば、上記半導体の島の表面を被覆する有機単分子層上に、例えば金属膜を蒸着することにより絶縁性の高い有機単分子層を介してゲート電極を容易に形成できる。

【0013】また、一実施形態の単電子トランジスタは、上記ソース電極と上記半導体の島との間、上記ドレイン電極と上記半導体の島との間、および、隣接する上記半導体の島の間を分離する下地絶縁層を有することを特徴とする。

【0014】上記実施形態の単電子トランジスタによれば、ソース電極と半導体の島との間、ドレイン電極と半導体の島との間、および、隣接する半導体の島の間を分離する下地絶縁層が良好なトンネル障壁となる。

【0015】また、一実施形態の単電子トランジスタは、上記ソース電極近傍の上記半導体の島と上記ソース電極とを接続し、上記ドレイン電極近傍の上記半導体の島と上記ドレイン電極とを接続し、隣接する上記半導体の島同士を接続する半導体狭窄層を有し、上記半導体狭窄層の幅が上記半導体の島の大きさよりも小さいことを特徴とする。

【0016】上記実施形態の単電子トランジスタによれば、上記ソース電極近傍の半導体の島とソース電極とを接続し、上記ドレイン電極近傍の半導体の島とドレイン電極とを接続し、隣接する上記半導体の島同士を接続する半導体狭窄層の幅が、電子閉じ込め領域である半導体の島の大きさよりも小さいので、良好なトンネル障壁となる。

【0017】また、一実施形態の単電子トランジスタは、上記ソース電極と上記半導体の島との間、上記ドレイン電極と上記半導体の島との間、および、隣接する上記半導体の島の間を分離する酸化層を有することを特徴とする。

【0018】上記実施形態の単電子トランジスタによれば、上記ソース電極と半導体の島との間、ドレイン電極と半導体の島との間、および、隣接する半導体の島の間を分離する下地絶縁層が良好なトンネル障壁となる。

【0019】また、一実施形態の単電子トランジスタは、上記半導体の島は、直径1～30nmの円形の島の静電容量に相当する静電容量を有する大きさであることを特徴とする。

【0020】通常、シリコン等の半導体の場合、室温でクーロンブロックード効果が得られる円形の島の直径は10nm以下と言われ、島の静電容量が大きくなるほどクーロンブロックードが発現する温度が低くなる。そこで、上記実施形態の単電子トランジスタによれば、半導体のドーピング量等により変化する島の静電容量を考慮して、半導体の島を直径1～30nmの円形の島の静電容量に相当する静電容量を有する大きさに設定することにより、クーロンブロックードが確実に発現可能となる。

【0021】また、この発明の単電子トランジスタの製造方法は、上記単電子トランジスタを製造する単電子トランジスタの製造方法であって、相対湿度20%以下の雰囲気中で、かつ、表面に半導体層が形成された基板と微小プローブとの間に所定電圧を印加した状態で、上記微小プローブにより上記半導体層表面の所定のパターンの領域を走査して、ソース電極、ドレイン電極およびチャネル領域となるべき領域以外の上記半導体層表面の領域を酸化する工程と、上記半導体表面が酸化された上記基板を有機分子を含む溶液中に浸漬することにより、上記ソース電極、ドレイン電極およびチャネル領域となるべき上記半導体層表面の未走査領域に選択的に上記有機分子を吸着させる工程とを有することを特徴としている。

【0022】上記単電子トランジスタの製造方法によれば、相対湿度20%以下の雰囲気中で、かつ、表面に半導体層が形成された基板(例えばSOI基板)と微小プローブとの間に所定電圧を印加した状態で、微小プローブにより半導体層表面の所定のパターンの領域を走査して、ソース電極、ドレイン電極およびチャネル領域となるべき領域(サイド・ゲート構造の場合はゲート電極となるべき領域を含む)以外の半導体層表面の領域を電界支援酸化する。次に、上記半導体表面が酸化された基板を有機分子を含む溶液中に浸漬することにより、ソース電極、ドレイン電極およびチャネル領域となるべき半導体層表面の未走査領域(サイド・ゲート構造の場合はゲート電極となるべき領域を含む)に選択的に有機分子を吸着させる。例えば、半導体層が単結晶シリコン層の場合、クロロシリル基またはアルコキシシリル基を少なくとも1つ有する有機分子を含む溶液中に基板を浸漬するだけで、単結晶シリコン層表面の未走査領域であって水酸基が存在する特定領域のみに有機分子のクロロシリル基またはアルコキシシリル基が選択的に化学吸着する。そうして、ソース電極、ドレイン電極およびチャネル領域(サイド・ゲート構造の場合はゲート電極を含む)上に有機単分子膜が形成される。上記有機単分子膜をレジストとして用いて、ソース電極、ドレイン電極およびチャネル領域(サイド・ゲート構造の場合はゲート電極を含む)以外の半導体層の領域をエッチングにより除去することが可能となる。このように、上記単電子トランジスタ

タの製造方法では、ソース電極、ドレイン電極およびトンネル接合を有するチャンネル領域(サイド・ゲート構造の場合はゲート電極を含む)が一度に効率がよく形成され、同一面内に2次元的に配列された層厚が数nm程度の有機単分子層をレジストとして使用するため、加工の切れが大変優れている。また、レジストパターンニングにAFM等の微小プローブによるナノリソグラフィ技術を用いていることによって、従来のリソグラフィに比べて極めて高い分解能と精度で表面加工を行うことができる。したがって、半導体の島とトンネル障壁の大きさをナノメートル精度で精密に制御でき、室温で動作可能な特性ばらつきが小さい単電子トランジスタを製造できる。なお、サイド・ゲート構造の単電子トランジスタの場合、ソース電極、ドレイン電極等とゲート電極を同時に形成する。

【0023】また、一実施形態の単電子トランジスタの製造方法は、上記半導体層表面の未走査領域に選択的に上記有機分子を吸着させる工程の後、上記有機分子の吸着領域以外の上記半導体層の領域を化学エッチングにより除去する工程を有することを特徴とする。

【0024】上記実施形態の単電子トランジスタの製造方法によれば、湿式化学反応や気相化学反応によるエッチング装置を用いて、上記有機分子の吸着領域以外の上記半導体層の領域を容易に除去できる。

【0025】また、この発明の単電子トランジスタの製造方法は、上記単電子トランジスタを製造する単電子トランジスタの製造方法であって、相対湿度20%以下の雰囲気中で、かつ、表面に半導体層が形成された基板と微小プローブとの間に所定電圧を印加した状態で、上記微小プローブにより上記半導体層表面の所定のパターンの領域を走査して、ソース電極、ドレイン電極および線状のチャンネル領域となるべき領域以外の上記半導体層表面の領域を酸化する工程と、上記半導体表面が酸化された上記基板を有機分子を含む溶液中に浸漬することにより、上記ソース電極、ドレイン電極および線状のチャンネル領域となるべき上記半導体層表面の未走査領域に選択的に上記有機分子を吸着させる工程と、上記半導体層表面の未走査領域に選択的に上記有機分子を吸着させた後、上記有機分子の吸着領域以外の上記半導体層の領域を化学エッチングにより除去する工程と、上記有機分子の吸着領域以外の上記半導体層の領域を化学エッチングにより除去する工程の後、上記基板と上記微小プローブとの間に定電圧を印加した状態で、上記線状のチャンネル領域を上記微小プローブにより走査して、上記線状のチャンネル領域の3以上の部分を所定の間隔をあけて酸化する工程とを有することを特徴としている。

【0026】上記単電子トランジスタの製造方法によれば、相対湿度20%以下の雰囲気中で、かつ、表面に半導体層が形成された基板(例えばSOI基板)と微小プローブとの間に所定電圧を印加した状態で、微小プローブ

により半導体層表面の所定のパターンの領域を走査して、ソース電極、ドレイン電極および線状のチャンネル領域となるべき領域(サイド・ゲート構造の場合はゲート電極となるべき領域を含む)以外の半導体層表面の領域を電界支援酸化する。次に、上記半導体表面が酸化された基板を有機分子を含む溶液中に浸漬することにより、ソース電極、ドレイン電極および線状のチャンネル領域となるべき半導体層表面の未走査領域(サイド・ゲート構造の場合はゲート電極となるべき領域を含む)に選択的に有機分子を吸着させる。例えば、半導体層が単結晶シリコン層の場合、クロロシリル基またはアルコキシシリル基を少なくとも1つ有する有機分子を含む溶液中に基板を浸漬するだけで、単結晶シリコン層表面の未走査領域であって水酸基が存在する特定領域のみに有機分子のクロロシリル基またはアルコキシシリル基が選択的に化学吸着する。そうして、ソース電極、ドレイン電極および線状のチャンネル領域(サイド・ゲート構造の場合はゲート電極を含む)上に有機単分子膜が形成される。上記有機単分子膜をレジストとして用いて、ソース電極、ドレイン電極および線状のチャンネル領域(サイド・ゲート構造の場合はゲート電極を含む)以外の半導体層の領域を化学エッチングにより除去する。そして、上記基板と微小プローブとの間に定電圧を印加した状態で、上記線状のチャンネル領域を微小プローブにより走査して、線状のチャンネル領域の3以上の部分を所定の間隔をあけて酸化して、トンネル障壁を形成すると共に、そのトンネル障壁で分離された複数の半導体の島を形成する。このように、上記単電子トランジスタの製造方法では、ソース電極、ドレイン電極およびトンネル接合を有するチャンネル領域(サイド・ゲート構造の場合はゲート電極を含む)が一度に効率がよく形成され、同一面内に2次元的に配列された層厚が数nm程度の有機単分子層をレジストとして使用するため、加工の切れが大変優れている。また、レジストパターンニングにAFM等の微小プローブによるナノリソグラフィ技術を用いていることによって、従来のリソグラフィに比べて極めて高い分解能と精度で表面加工を行うことができる。したがって、半導体の島とトンネル障壁の大きさをナノメートル精度で精密に制御でき、室温で動作可能な特性ばらつきが小さい単電子トランジスタを製造できる。

【0027】

【発明の実施の形態】まず、この発明の単電子トランジスタの実施の形態を図を用いて説明する前に、単電子トランジスタの製造方法について先に述べる。

【0028】始めに、レジストパターンニングとして走査型プローブ顕微鏡の探針とSOI基板との間に電界を印加した状態で探針により走査することにより、局所的(数nmの線幅で)に表面を酸化させて、SOI基板表面の性質を部分的に変成させる。この探針とSOI基板との間に電界を印加した状態で探針を走査するとき、雰囲気

気を低湿度にする。この低湿度の雰囲気とは、探針および SOI 基板を取り巻く雰囲気相の相対湿度が 0~20% 以下であることを意味しており、好ましくは 0~10% であり、具体的には窒素ガス、六フッ化硫黄ガス、アルゴンガスおよびキセノンガス等の比較的反応性が低い気体を用いられるが、上記相対湿度範囲であれば特にガスの種類は問わない。また、上記パターニング形状は、通常、走査型プローブ顕微鏡に装備されたパターンジェネレータに予めプログラミングされ、ソース電極、ゲート電極、ドレイン電極および電子の量子閉じ込め可能な島を形成させる領域以外の領域の表面の走査が行われる。

【0029】上記探針と SOI 基板間の電界支援酸化によるパターニングの後、そのパターニングされた SOI 基板を、クロロシリル基またはアルコキシシリル基を少なくとも 1 つ有する有機分子が含まれた溶液中に浸漬する。この溶液は、通常ヘキサデカンと四塩化炭素との比が 7:3 の溶媒を用い、上記有機分子濃度を 1 mM~1 M 程度とする溶液を用いるが、有機分子濃度は 1 mM が好ましい。また、溶媒は他にテトラヒドロフランやシクロヘキサン等の有機溶媒も利用されるが、含有水分が少ない溶液であれば種類は問わない。

【0030】上記有機分子にある特定の化学種(水酸基)と結合し得る官能基(SiCl_3 や $(\text{CH}_2\text{OH})_3$)をくっつけることで、SOI 基板を有機分子を含む溶液中に浸漬するだけで、水酸基が存在する基板上の特定領域のみに有機分子が選択的に化学吸着する。例えば、有機分子としてトリクロロステアシルシリレン [$\text{CH}_3(\text{CH}_2)_{17}\text{SiCl}_3$] を用いた場合の反応式は、

$$\text{CH}_3(\text{CH}_2)_{17}\text{SiCl}_3 + 3\text{OH}^- \rightarrow 3\text{HCl} + \text{CH}_3(\text{CH}_2)_{17}\text{SiO}^-_3$$
 となる。したがって、水酸基のない表面は、有機分子が吸着しないことになると共に、この有機分子のように長鎖の飽和炭化水素を用いると、ファンデルワールス(Van der Waals)力や有機分子同士の立体障害により分子が密に並んだ有機単分子膜となる(この有機単分子膜を自己組織化単分子膜という)。したがって、数 nm 厚の単分子膜でありながら、有機分子が密に並んだ構造をしているため、酸やアルカリに強いレジストとしての役割を果たすことができる。

【0031】次に、クロロホルム等の有機溶媒で SOI 基板表面に過剰に吸着した上記有機分子を除去する。そうすると、探針と SOI 基板との間の電界印加によって酸化層が形成されなかった表面領域に、上記の有機分子が表面の水酸基と脱塩酸反応(または脱水反応)により選択吸着し、有機単分子層レジストを形成する。次に、有機単分子層レジストの形成後、湿式化学反応による選択エッチング装置または気相化学反応エッチング装置により有機単分子層レジストで被覆されていないシリコン層を完全に除去することにより、ソース電極、ゲート電極、ドレイン電極および整列したシリコン島を、同時に下地

の酸化シリコン層を介して孤立化させることが可能となる。

【0032】上記湿式化学反応による選択エッチング装置を用いたエッチングでは、アンモニウム系水溶液によるエッチングが通常用いられるが、水酸化カリウム、水酸化ナトリウム等の他のアルカリ系の溶液でも良いし、エッチング速度を促進させるために過酸化水素を添加しても良い。また、酸性溶液としては、フッ化アンモニウムと過酸化水素の混合溶液等が用いられる。しかし、有機単分子層レジストが剥離せずにシリコンをエッチング可能な溶液であれば、いずれの溶液を用いても良い。

【0033】また、上記気相化学反応によるエッチング装置を用いたエッチングとしては、RIE(Reactive Ion Etching: 反応性イオンエッチング)法が使用される。この場合のガスの種類としては、六フッ化硫黄と酸素の混合ガスのプラズマを通常使用する。なお、エッチングガスとしては、その他に塩素ガス等が用いられるが、有機単分子層レジストに損傷を与えずにシリコンを選択的にエッチングできれば、いずれのガスを用いても構わない。

【0034】次に、この発明の単電子トランジスタおよびその製造方法を図示の実施の形態により具体的に説明する。

【0035】(第 1 実施形態)図 1 はこの発明の実施の一形態の単電子トランジスタの模式的に示す構造図である。この単電子トランジスタは、図 1 に示すように、単結晶シリコン基板 2 上に形成された酸化シリコン層 3 上に、所定の間隔をあけて単結晶シリコンでソース電極 4 とドレイン電極 6 とを形成している。上記ソース電極 4 とドレイン電極 6 とを結ぶ直線上に所定の間隔をあけて整列するように 4 つのシリコン島 7 A を形成すると共に、ソース電極 4 とシリコン島 7 A とを接続し、ドレイン電極 6 とシリコン島 7 A とを接続し、隣接するシリコン島 7 A の間を接続するトンネル接合部としてのシリコン狭窄領域 7 B を形成している。上記シリコン島 7 A とシリコン狭窄領域 7 B でチャネル領域 7 を形成している。そして、上記酸化シリコン層 3 上に、チャネル領域 7 に略平行に所定の間隔をあけてゲート電極 5 を形成している。また、上記ソース電極 4、ゲート電極 5、ドレイン電極 6 およびチャネル領域 7 のシリコン島 7 A は、互いに下地の酸化シリコン層 3 で電気的に隔離されている。そして、上記ソース電極 4、ゲート電極 5、ドレイン電極 6、シリコン島 7 A およびシリコン狭窄領域 7 B 上に有機単分子層 8 を形成している。なお、図 1 では、図を見やすくするためにシリコン狭窄領域 7 B 上の有機単分子層を省略している。

【0036】上記構成の単電子トランジスタによれば、ソース電極 4 とドレイン電極 6 とを結ぶ直線上に所定の間隔をあけて整列するように形成された 4 つのシリコンの島 7 A を、クーロンブロッケードを発現可能な量子サ

イズにすることによって、各シリコンの島7Aが電子閉じ込め領域となり、ソース電極4とシリコンの島7Aとの間、ドレイン電極6とシリコンの島7Aとの間、および、隣接するシリコンの島7Aの間のシリコン狭窄領域7Bがトンネル障壁となる。上記各シリコンの島7Aに1個の電子が夫々蓄積され、クーロンブロックが出現すると、ソース電極4とドレイン電極6との間に電圧が印加されていても、別の電子が入ってくるのを阻止する。そして、上記各シリコンの島7Aにゲート電極4から電界が印加されて、トンネル抵抗を量子抵抗以下にすると、クーロンブロック効果が敗れて、ソース電極4とドレイン電極6との間に電圧が印加された条件では、ソース電極4とドレイン電極6との間に各シリコンの島7Aを介して電流が流れる。

【0037】したがって、上記シリコンの島7Aの大きさとトンネル障壁(シリコン狭窄領域7B)の大きさをナノメートル精度で精密に制御することによって、室温動作が可能な特性ばらつきの小さい単電子トランジスタを実現することができる。

【0038】図2(a)~(c)は上記単電子トランジスタの製造方法を説明するための工程図を示している。

【0039】以下、上記単電子トランジスタの製造方法を図2に従って詳細に説明する。なお、基板は、単結晶シリコン基板2上に酸化シリコン層3、表面シリコン層9が形成されたSOI基板を用いる。このSOI基板の形成方法は、MeV程度の高エネルギー酸素をイオン注入した後高温でアニールすることにより酸化シリコン層をシリコン中に埋め込んで形成するSIMOX(シリコン・インプラント・オキシゲン)プロセスを用いる方法や、酸化表面を挟む形でウエハ接合を行い、Si層を研磨により薄くして埋め込み酸化シリコン層を形成する方法が主流であり、このようなSOI基板はSOITEC社やSiBOND社等から購入可能である。上記SOI基板の表面シリコン層は、トンネル電子を閉じ込めるために導電性の高いものを用いる必要がある。

【0040】上記SOI基板の表面シリコン層9を熱酸化およびフッ酸エッチング工程により、約5~30nm程度まで薄層化する。この表面シリコン層の薄層化の最終工程として、フッ化アンモニウムによりSOI基板表面を平坦化する。

【0041】次に、上記表面シリコン層9が薄層化されたSOI基板を密閉容器(図示せず)に入れ、密閉容器内の走査型プローブ顕微鏡である原子間力顕微鏡(Atomic Force Microscope: AFM)をセットする。そして、密閉容器内に窒素ガスを所定時間還流させて、密閉容器内の相対湿度を約1%とする。

【0042】次に、SOI基板に対して原子間力顕微鏡(以下、AFMという)探針12を負の電位に保った状態で、予めプログラミングされたパターンに従ってAFM探針12を走査し、表面シリコン層9に酸化層11を形

成する(図2(a)に示す)。このとき、上記表面シリコン層9の酸化層11以外の領域は自然酸化され、未走査領域10となる。上記AFM探針12の電圧は-5~-13Vが用いられるが、-10V程度が好ましい。また、AFM探針12を走査する速度は、0.1~10μm/secが用いられるが、7.5μm/secがより好ましい。

【0043】次に、SOI基板を、窒素ガスで置換された雰囲気中で調製した四塩化炭素とヘキサデカンの比が3:7の割合の混合溶媒の1mMトリクロステアシルシラン[CH₃(CH₂)₁₇SiC₃]溶液中に浸漬し、約10分保持する。その後、SOI基板をクロロホルムでリンスして乾燥させる。そして、膜厚2nmの均一な厚さの有機単分子層8のパターンが形成されていることをAFM観察より確認した(図2(b)に示す)。

【0044】次に、上記SOI基板を、図2(c)に示すように、NH₄F/H₂O₂/H₂Oが10:3:100の割合の溶液に約5分間浸漬して、有機単分子層8のパターンをレジストとしてエッチングした後、エッチングされたSOI基板を純水で洗浄し、窒素ガスブローで乾燥する。

【0045】このようにしてSOI基板表面に形成された単電子トランジスタをAFM観察により調べた結果、ソース電極4、ゲート電極5およびドレイン電極6が形成され、そのソース電極4とドレイン電極6との間に、ソース電極4とドレイン電極6とを結ぶ直線上に所定の間隔をあけて整列する大きさ(最大幅)が10nmの4個のシリコン島7Aが形成されていることが分かる。さらに、隣接するシリコン島7A同士をシリコン狭窄領域7B(幅が5nm程度)で接続すると共に、ソース電極4近傍のシリコン島7Aとソース電極4とをシリコン狭窄領域7B(幅が5nm程度)で接続する一方、ドレイン電極6近傍のシリコン島7Aとドレイン電極6とを幅がシリコン狭窄領域7B(幅が5nm程度)で接続していることが分かる。

【0046】上記単電子トランジスタの製造方法では、ソース電極4、ゲート電極5、ドレイン電極6およびシリコントンネル接合を有するチャネル領域7が一度に形成され、大変効率がよく、同一面内に2次元的に配列された層厚が数nm程度の有機単分子層8をレジストとして使用するため、加工の切れが大変優れている。また、レジストパターンニングにAFMによるナノリソグラフィ技術を用いているため、従来のビームによるリソグラフィに比べて極めて高い分解能と精度で表面加工を行うことができる。

【0047】(第2実施形態)図3(a)~(c)はこの発明の第2実施形態の単電子トランジスタの製造方法を説明するための工程図を示している。この単電子トランジスタは、チャネル領域を除いて第1実施形態の単電子トランジスタと同一の構成をしている。

【0048】この第2実施形態の単電子トランジスタ

は、図 3 (b) まで第 1 実施形態で示された製造方法と同一の方法で単電子トランジスタを作製する。ただし、ソース電極 24 とドレイン電極 26 との間のチャネル領域は第 1 実施形態の単電子トランジスタとは異なる。

【0049】図 3 (a) に示すように、第 1 実施形態の図 2 (a) ~ (c) と同様の方法によって、ソース電極、ドレイン電極、ゲート電極および 20 nm の幅を有する直線状のチャネル領域となるべき領域 30 以外の領域を酸化して、表面シリコン層 29 に酸化層 31 を形成する。そして、図 3 (b) に示すように、ソース電極 24、ゲート電極 25、ドレイン電極 26 およびシリコンロッド 33 とが形成されたトランジスタ構造を SOI 基板に作製した後、有機単分子層 (図示せず) がついたまま、上記 SOI 基板を再び AFM 装置にセットし、AFM 探針-SOI 基板間に 10 V (探針負バイアス) 電界を印加した状態で、ソース電極 24 とドレイン電極 26 との間にまたがるシリコンロッド 33 に対して略直角方向に AFM 探針を走査することにより、図 3 (c) に示すように、シリコンロッド 33 の 4 つの部分所定の間隔 (約 10 nm) をあけて電界支援酸化させて、トンネル接合部としての 4 つの酸化シリコントンネル障壁 34 を形成する。

【0050】そして、この単電子トランジスタのシリコンロッド 33 を AFM 観察により詳細に調べた結果、隣接する酸化シリコントンネル障壁 34 の間に 3 つのシリコン島 35 が夫々形成されており、トンネル接合 (酸化シリコントンネル障壁 34) が存在する単電子トランジスタ構造が実現していることが分かった。

【0051】この第 2 実施形態の単電子トランジスタおよびその製造方法は、第 1 実施形態の単電子トランジスタおよびその製造方法と同様の効果を有している。

【0052】上記第 1、第 2 実施形態の単電子トランジスタの製造方法を用いて、いくつものパラメータを変化させたトランジスタ構造を作製して、そのトランジスタ特性を調べることにより、これまで余り明らかにされていなかった弾性・非弾性コトンネリングによるデバイス特性の影響、オフセット電荷の起源、ショット雑音の定量的な評価等の物理現象の解明にも役立つものと考えられる。

【0053】上記第 1、第 2 実施形態では、半導体としてシリコンの島を有する単電子トランジスタについて説明したが、半導体はシリコンに限らず、GaAs 等の他の半導体でもよいのは勿論である。例えば、GaAs 系の場合、SOI 基板の代わりに、MOCVD (有機金属気相成長) 法、MBE (分子線エピタキシャル) 法等のエピタキシャル成長により GaAs/AlGaAs/GaAs(sub.) という構造を形成して、AlGaAs を絶縁層として用いる。

【0054】また、上記第 1、第 2 実施形態では、単電子トランジスタの構造は、ソース電極 4、ドレイン電極 6 と同一面内に形成されたゲート電極を形成したサイド

・ゲート構造としたが、シリコン島の上に有機単分子膜を介してゲート電極を形成したトランジスタ構造でもよい。この場合、ゲート電極のサイズが小さいため、ゲート電極形成には、FIB (Focused Ion Beam) や走査型プローブ顕微鏡を用いれば良い。

【0055】また、上記第 1、第 2 実施形態では、有機分子としてトリクロロステアシルシランを用いたが、例えば HS(CH₃)₁₇SiCl₃ の有機分子を用いれば、シリコン表面に SiCl₃ 基が吸着するので、単分子膜の表面は HS 基が並んで表面に現れ、この HS 基が金等の貴金属と選択的に化学吸着することを利用して、貴金属イオンを含む溶液中に基板を浸漬することによって、シリコン表面のみに貴金属膜を形成することができる。したがって、有機分子の他端にいろいろな機能性を有する官能基を選ぶことによって、様々なデバイスに応用することが可能となる。

【0056】また、上記第 1 実施形態では、シリコン狭窄領域 7B により、ソース電極 4 とシリコン島 7A とを接続し、ドレイン電極 6 とシリコン島 7A とを接続し、隣接するシリコン島 7A の間を接続したが、シリコン狭窄領域はなくともよく、下地絶縁層や第 2 実施形態の酸化シリコントンネル障壁等を用いて電子が流れ難くなる領域が、ソース電極とシリコン島との間、ドレイン電極とシリコン島との間、および、隣接するシリコン島の間であればよい。

【0057】さらに、上記第 1、第 2 実施形態では、シリコン島 7A、35 をソース電極 4 とドレイン電極 6 との間に直線上に整列するように形成したが、半導体の島は直線上に整列するものに限らず、ソース電極とドレイン電極とを結ぶ線上に所定の間隔をあけて整列するようにソース電極とドレイン電極との間に形成され、クーロンブロッケードを発現可能な複数の半導体の島であればよい。

【0058】

【発明の効果】以上より明らかなように、この発明の単電子トランジスタによれば、室温で動作可能でかつ特性ばらつきの小さい単電子トランジスタおよびその製造方法を提供でき、冷却装置を用いることなく、超小型電子機器に搭載できるスイッチング素子が得られる。

【図面の簡単な説明】

【図 1】 図 1 はこの発明の第 1 実施形態の単電子トランジスタの模式図である。

【図 2】 図 2 (a) ~ (c) は上記単電子トランジスタの製造過程を示す図である。

【図 3】 図 3 (a) ~ (c) はこの発明の第 2 実施形態の単電子トランジスタの製造過程を示す図である。

【符号の説明】

2...単結晶シリコン基板、

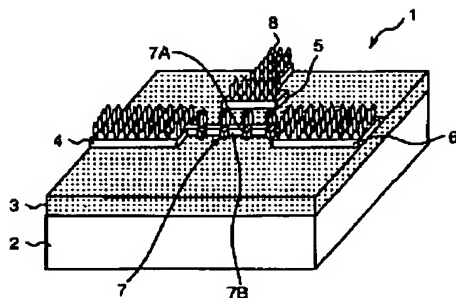
3...酸化シリコン層、

4...ソース電極、

15

- 5…ゲート電極、
 6…ドレイン電極、
 7…チャネル領域、
 7A…シリコン島、
 7B…狭窄領域、
 8…有機単分子層、
 9…表面シリコン層、

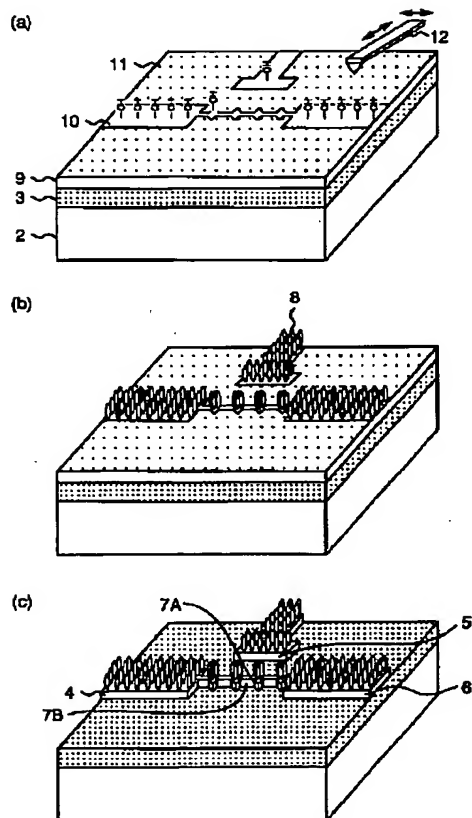
【図1】



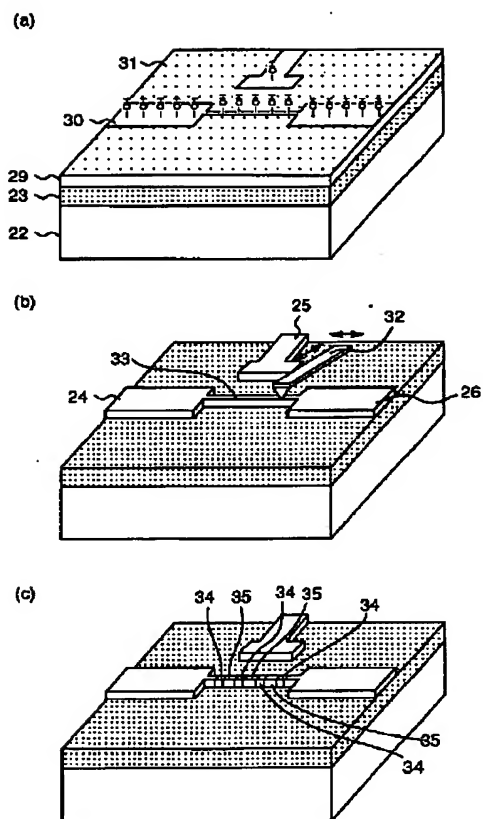
16

- 10…未走査領域、
 11…酸化層、
 12…AFM探針、
 33…シリコンロッド、
 34…酸化シリコントンネル障壁、
 35…シリコン島。

【図2】



【図 3】



フロントページの続き

(72)発明者 藤岡 一志
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内

F ターム(参考) 2H096 AA27 CA05 CA20 HA17 LA30
 5F110 BB13 BB20 DD05 DD13 DD24
 EE42 FF02 GG02 GG04 GG29
 GG42